



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0027992
Application Number

출원 년 월 일 : 2003년 05월 01일
Date of Application MAY 01, 2003

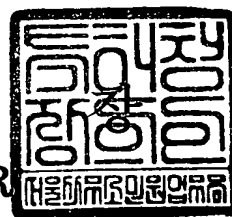
출원인 : 삼성에스디아이 주식회사
Applicant(s) SAMSUNG SDI CO., LTD.



2003 년 11 월 11 일

특 허 청

COMMISSIONER





1020030027992

출력 일자: 2003/11/18

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0007
【제출일자】	2003.05.01
【국제특허분류】	H01L
【발명의 명칭】	박막 트랜지스터를 구비한 평판표시장치
【발명의 영문명칭】	Flat panel display with TFT
【출원인】	
【명칭】	삼성에스디아이 주식회사
【출원인코드】	1-1998-001805-8
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-050326-4
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2000-004535-8
【발명자】	
【성명의 국문표기】	구재본
【성명의 영문표기】	K00, Jae Bon
【주민등록번호】	720706-1767718
【우편번호】	449-745
【주소】	경기도 용인시 수지읍 풍림아파트 105동 504호
【국적】	KR
【발명자】	
【성명의 국문표기】	박지용
【성명의 영문표기】	PARK, Ji Yong
【주민등록번호】	700331-1823311



1020030027992

출력 일자: 2003/11/18

【우편번호】	442-813
【주소】	경기도 수원시 팔달구 영통동 993-5 204호
【국적】	KR
【발명자】	
【성명의 국문표기】	박혜향
【성명의 영문표기】	PARK,Hye Hyang
【주민등록번호】	771015-2657220
【우편번호】	441-390
【주소】	경기도 수원시 권선구 권선동 1285-7 101호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 이해영 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	4 면 4,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	12 항 493,000 원
【합계】	526,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

본 발명은 박막 트랜지스터의 활성층의 크기를 변경하지 않고, 높은 특성치를 갖는 박막 트랜지스터를 구비하고, 회로 특성 및 해상도를 높일 수 있도록 하기 위한 것으로, 이를 위하여, 발광 소자와, 적어도 채널 영역을 포함한 반도체 활성층을 갖는 화소부 박막 트랜지스터를 적어도 하나 이상 구비한 화소 영역과, 상기 화소 영역에 인가되는 신호를 제어하는 것으로, 적어도 채널 영역을 포함한 반도체 활성층을 갖는 회로부 박막 트랜지스터를 적어도 하나 이상 구비한 회로 영역을 포함하며, 상기 화소부 박막 트랜지스터와 회로부 박막 트랜지스터의 적어도 채널 영역의 두께가 서로 다른 것을 특징으로 하는 평판 표시장치를 제공한다.

【대표도】

도 3



【명세서】

【발명의 명칭】

박막 트랜지스터를 구비한 평판표시장치{Flat panel display with TFT}

【도면의 간단한 설명】

도 1은 본 발명의 바람직한 일 실시예에 따른 액티브 매트릭스형 유기 전계 발광 표시장치의 평면도,

도 2는 회로부 박막 트랜지스터의 활성층과 화소부 박막 트랜지스터의 활성층의 결정구조를 나타내는 평면도,

도 3은 도 2의 I-I에 대한 단면도로, 회로부 박막 트랜지스터의 활성층과 화소부 박막 트랜지스터의 활성층의 서로 다른 두께를 나타내는 단면도,

도 4는 결정립의 크기와 전류 이동도의 관계를 나타내는 그래프,

도 5는 ELA결정화법에 있어, 에너지 밀도와 결정립의 크기와의 관계를 나타내는 그래프,

도 6은 회로부 박막 트랜지스터의 일예를 나타내는 단면도,

도 7은 화소부 박막 트랜지스터의 일예를 나타내는 단면도.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<8> 본 발명은 박막 트랜지스터를 구비한 액티브 매트릭스형 평판표시장치에 관한 것으로서, 보다 상세하게는 다결정질 실리콘을 활성층으로 구비하고, 회로부 박막 트랜지스터와 화소부

박막 트랜지스터의 활성층 채널영역의 두께 및 결정립 크기를 달리한 박막 트랜지스터를 구비한 평판 표시장치에 관한 것이다.

- <9> 액정 디스플레이 소자나 유기 전계 발광 디스플레이 소자 또는 무기 전계 발광 디스플레이 소자 등 평판 표시장치에 사용되는 박막 트랜지스터(Thin Film Transistor: TFT)는 각 화소의 동작을 제어하는 스위칭 소자 및 픽셀을 구동시키는 구동 소자로 사용된다.
- <10> 이러한 박막 트랜지스터는 기판 상에 고농도의 불순물로 도핑된 드레인 영역과 소스 영역 및 상기 드레인 영역과 소스 영역의 사이에 형성된 채널 영역을 갖는 반도체 활성층을 가지며, 이 반도체 활성층 상에 형성된 게이트 절연막 및 활성층의 채널영역 상부의 게이트 절연막 상에 형성된 게이트 전극으로 구성되는 데, 상기 반도체 활성층은 실리콘의 결정 상태에 따라 비정질 실리콘과 다결정질 실리콘으로 구분된다.
- <11> 비정질 실리콘을 이용한 박막 트랜지스터는 저온 증착이 가능하다는 장점이 있으나, 전기적 특성과 신뢰성이 저하되고, 표시장치의 대면적화가 어려워 최근에는 다결정질 실리콘을 많이 사용하고 있다. 다결정질 실리콘은 수십 내지 수백 $\text{cm}^2/\text{V.s}$ 의 높은 이동도를 갖고, 고주파 동작 특성 및 누설 전류치가 낮아 고정세 및 대면적의 평판표시장치에 사용하기에 매우 적합하다.
- <12> 한편, 상기와 같은 박막 트랜지스터는 전술한 바와 같이, 평판 표시장치에 있어 스위칭 소자나 화소의 구동소자 등 화소부 박막 트랜지스터와 이를 구동하기 위한 회로영역의 회로부 박막 트랜지스터로 사용된다.
- <13> 한편, 평판 표시장치 중 발광 소자로서 유기 전계 발광 소자(이하, "유기 EL 소자"라 함)를 사용하는 유기 전계 발광 표시장치의 유기 EL 소자는 애노우드 전극과 캐소우드 전극의 사

이에 유기물로 이루어진 발광층을 갖는다. 이 유기 EL 소자는 이들 전극들에 양극 및 음극 전압이 각각 인가됨에 따라 애노우드 전극으로부터 주입된 정공(hole)이 정공 수송층을 경유하여 발광층으로 이동되고, 전자는 캐소우드 전극으로부터 전자 수송층을 경유하여 발광층으로 주입되어, 이 발광층에서 전자와 홀이 재결합하여 여기자(exiton)를 생성하고, 이 여기자가 여기 상태에서 기저상태로 변화됨에 따라, 발광층의 형광성 분자가 발광함으로써 화상을 형성한다. 풀컬러 유기 전계 발광 표시장치의 경우에는 상기 유기 EL 소자로서 적(R), 녹(G), 청(B)의 삼색을 발광하는 화소를 구비토록 함으로써 풀컬러를 구현한다.

- <14> 이러한 액티브 매트릭스형 유기 전계 발광 표시장치(AMOLED)에 있어서, 점차 고해상도 패널이 요구되고 있는데, 이 때는 전술한 바와 같은 고성능의 다결정질 실리콘으로 형성한 박막 트랜지스터가 오히려 문제를 야기시키게 된다.
- <15> 즉, 종래의 액티브 매트릭스형 유기 전계 발광 표시장치 등 액티브 매트릭스형 평판표시장치에서는 동일한 다결정질 실리콘으로 회로부 박막 트랜지스터와 화소부 박막 트랜지스터, 특히, 그 중, 구동 박막 트랜지스터가 제조되어 이 구동 박막 트랜지스터와 회로부 박막 트랜지스터가 동일한 전류 이동도를 가지게 되므로, 회로부 박막 트랜지스터의 스위칭 특성과 구동 박막 트랜지스터의 저전류 구동특성을 동시에 만족할 수 없었다. 즉, 고해상도 표시소자의 구동 박막 트랜지스터와 회로부 박막 트랜지스터를 전류 이동도가 큰 다결정질 실리콘막을 이용하여 제조하는 경우에는 회로부 박막 트랜지스터의 높은 스위칭 특성은 얻을 수는 있지만, 구동 박막 트랜지스터를 통해 EL소자로 흐르는 전류량이 증가하여 휘도가 지나치게 높아지게 되고, 결국 단위면적당 전류밀도가 높아져서 EL소자의 수명이 감소하게 되는 것이다.
- <16> 한편, 전류 이동도가 낮은 비정질 실리콘막 등을 이용하여 표시소자의 구동 박막 트랜지스터와 회로부 박막 트랜지스터를 제조하는 경우에는, 구동 박막 트랜지스터는 전류가 감소되

는 방향으로, 회로부 박막 트랜지스터는 전류가 증가되는 방향으로 박막 트랜지스터를 제조해야 한다.

<17> 이러한 문제점을 해결하기 위하여, 구동 트랜지스터를 통해 흐르는 전류량을 제한하는 방법이 제안되었다. 그 방법으로는 구동 트랜지스터의 폭에 대한 길이의 비(W/L)를 감소시켜 채널영역의 저항을 증가시키는 방법, 또는 구동 트랜지스터의 소오스/드레인영역에 저도핑영역을 형성하여 저항을 증가시키는 방법 등이 있었다.

<18> 그러나, 길이를 증가시켜 W/L을 감소시키는 방법은 채널영역의 길이가 길어져서 엑시머 레이저 어닐링(ELA: Excimer Laser Annealing)방법 등을 이용하여 결정화할 때 채널영역에 줄무늬가 형성되고, 개구면적이 감소하는 문제점이 있었다. 폭을 감소시켜 W/L을 감소시키는 방법은 포토리소그래피 공정의 디자인 룰에 제약을 받으며, 트랜지스터의 신뢰성을 확보하기 어려운 문제점이 있었다.

<19> 또한, 저도핑영역을 형성하여 저항을 증가시키는 방법은 추가의 도핑공정이 수행되어야 하는 문제점이 있었다.

【발명이 이루고자 하는 기술적 과제】

<20> 본 발명은 상기와 같은 문제점을 해결하기 위해 안출된 것으로, 박막 트랜지스터의 활성층의 크기를 변경하지 않고, 높은 특성치를 갖는 박막 트랜지스터를 구비한 평판표시장치를 제공하는 데 그 목적이 있다.

<21> 본 발명의 다른 목적은 회로 특성 및 해상도를 높일 수 있는 평판표시장치를 제공하는 것이다.

【발명의 구성 및 작용】

- <22> 상기한 바와 같은 목적을 달성하기 위하여, 본 발명은 발광 소자와, 적어도 채널 영역을 포함한 반도체 활성층을 갖는 화소부 박막 트랜지스터를 적어도 하나 이상 구비한 화소 영역과, 상기 화소 영역에 인가되는 신호를 제어하는 것으로, 적어도 채널 영역을 포함한 반도체 활성층을 갖는 회로부 박막 트랜지스터를 적어도 하나 이상 구비한 회로 영역을 포함하며, 상기 화소부 박막 트랜지스터와 회로부 박막 트랜지스터의 적어도 채널 영역의 두께가 서로 다른 것을 특징으로 하는 평판 표시장치를 제공한다.
- <23> 본 발명의 다른 특징에 의하면, 상기 회로부 박막 트랜지스터와 상기 화소부 박막 트랜지스터 중 보다 큰 전류 이동도를 필요로 하는 박막 트랜지스터의 적어도 채널 영역의 두께가 보다 얇게 구비될 수 있다.
- <24> 본 발명의 또 다른 특징에 의하면, 상기 회로부 박막 트랜지스터의 적어도 채널 영역의 두께는 상기 화소부 박막 트랜지스터의 적어도 채널 영역의 두께보다 얇게 구비될 수 있다.
- <25> 본 발명의 또 다른 특징에 의하면, 상기 회로부 박막 트랜지스터의 적어도 채널 영역의 두께는 상기 화소부 박막 트랜지스터 중 데이터신호에 따라서 상기 발광 소자에 소정의 전류가 흐르도록 해 상기 발광 소자를 구동하는 구동 박막 트랜지스터의 적어도 채널 영역의 두께보다 얇게 구비될 수 있다.
- <26> 본 발명의 또 다른 특징에 의하면, 상기 회로부 박막 트랜지스터와 상기 화소부 박막 트랜지스터 중 보다 큰 전류 이동도를 필요로 하는 박막 트랜지스터의 적어도 채널 영역의 두께는 300 내지 800 Å이고, 상기 회로부 박막 트랜지스터와 상기 화소부 박막 트랜지스터 중 보

다 작은 전류 이동도를 필요로 하는 박막 트랜지스터의 적어도 채널 영역의 두께는 500 내지 1500Å일 수 있다.

<27> 본 발명의 또 다른 특징에 의하면, 상기 회로부 박막 트랜지스터의 적어도 채널 영역의 두께는 300 내지 800 Å일 수 있다.

<28> 본 발명의 또 다른 특징에 의하면, 상기 화소부 박막 트랜지스터의 적어도 채널 영역의 두께는 500 내지 1500Å일 수 있다.

<29> 본 발명의 또 다른 특징에 의하면, 상기 반도체 활성층은 다결정질 실리콘으로 구비되고, 상기 회로부 박막 트랜지스터의 적어도 채널 영역의 결정립의 크기와 상기 화소부 박막 트랜지스터의 적어도 채널 영역의 결정립의 크기가 서로 다르게 구비될 수 있다.

<30> 본 발명의 또 다른 특징에 의하면, 상기 회로부 박막 트랜지스터의 채널 영역의 결정립의 크기는 상기 화소부 박막 트랜지스터의 채널 영역의 결정립의 크기보다 클 수 있다.

<31> 본 발명의 또 다른 특징에 의하면, 상기 회로부 박막 트랜지스터의 채널 영역의 결정립의 크기는 상기 화소부 박막 트랜지스터 중 데이터신호에 따라서 상기 발광 소자에 소정의 전류가 흐르도록 해 상기 발광 소자를 구동하는 구동 박막 트랜지스터의 적어도 채널 영역의 결정립의 크기보다 클 수 있다.

<32> 본 발명의 또 다른 특징에 의하면, 상기 다결정질 실리콘은 레이저에 의한 결정화방법에 의해 형성될 수 있다.

<33> 본 발명의 또 다른 특징에 의하면, 상기 회로부 박막 트랜지스터의 적어도 채널 영역과 상기 화소부 박막 트랜지스터의 적어도 채널 영역은 레이저 조사를 동시에 행함에 따라 형성되도록 할 수 있다.

- <34> 이하, 첨부된 도면을 참조로 본 발명의 바람직한 실시예에 대하여 보다 상세히 설명한다.
- <35> 도 1은 본 발명에 따른 평판표시장치 중 그 바람직한 일 실시예에 따른 액티브 매트릭스 형 유기 전계 발광 표시장치를 나타내는 평면도이다. 도 1에서 볼 때, 상기 유기 전계 발광 표시장치는 화소 영역(20)과, 상기 화소 영역(20)의 가장자리에 회로 영역(10)으로 구성된다.
- <36> 상기 화소 영역(20)은 복수개의 화소(pixel)들로 구비되며, 각 화소들은 유기 전계 발광 소자를 각각 구비한 복수개의 부화소(sub-pixel)들로 이루어져 있다. 풀 칼라 유기 전계 발광 표시장치의 경우에는 적색(R), 녹색(G) 및 청색(B)의 부화소들이 라인상, 모자이크상, 격자상 등 다양한 패턴으로 배열되어 화소를 구성하며, 풀 칼라 평판표시장치가 아닌 모노 칼라 평판 표시장치여도 무방하다.
- <37> 그리고, 상기 회로 영역(10)은 상기 화소 영역(20)을 구동하기 위한 전원을 연결해 주는 것으로, 화소 영역(20)으로 입력되는 화상 신호 등을 제어해 준다.
- <38> 이러한 유기 전계 발광 표시장치에 있어서, 상기 화소 영역(20)과 회로 영역(10)에는 각각 적어도 하나 이상의 박막 트랜지스터가 설치될 수 있다.
- <39> 화소 영역(20)에 설치되는 박막 트랜지스터로는 게이트 라인의 신호에 따라 발광 소자에 데이터 신호를 전달하여 그 동작을 제어하는 스위칭용 박막 트랜지스터와, 상기 데이터 신호에 따라 상기 유기 전계 발광 소자에 소정의 전류가 흐르도록 구동시키는 구동용 박막 트랜지스터 등 화소부 박막 트랜지스터가 있다. 그리고, 회로 영역(10)에 설치되는 박막 트랜지스터로는 소정의 회로를 구현하도록 구비된 회로부 박막 트랜지스터가 있다.

- <40> 물론 이러한 박막 트랜지스터의 수와 배치는 디스플레이의 특성 및 구동 방법 등에 따라 다양한 수가 존재할 수 있으며, 그 배치 방법도 다양하게 존재할 수 있음은 물론이다.
- <41> 이들 박막 트랜지스터들은 각각 비정질 또는 다결정질 실리콘으로 이루어진 반도체 활성층을 구비하며, 이 반도체 활성층은 소정의 채널 영역을 갖는다. 상기 채널 영역은 소스 영역 및 드레인 영역의 중앙부에 위치하며, 그 상부를 통해 게이트 전극이 절연되어 형성된 영역에 해당한다.
- <42> 도 2에는 상술한 바와 같은 회로부 박막 트랜지스터와 화소부 박막 트랜지스터의 활성층을 나타낸 것이고, 도 3은 그 I-I에 대한 단면을 나타낸 것이다.
- <43> 도 2에서 볼 수 있는 바와 같이, 상기 회로부 박막 트랜지스터의 활성층(12)과 화소부 박막 트랜지스터의 활성층(22)은 그 중앙 부분에 각각 채널 영역(C1)(C2)을 구비하고 있다.
- <44> 본 발명에 있어서, 상기 활성층들(12)(22)은 도 3에서 볼 수 있는 바와 같이, 그 두께에 있어 서로 차이가 나도록 형성될 수 있다. 즉, 회로부 박막 트랜지스터의 활성층(12)의 두께(d1)가 화소부 박막 트랜지스터의 활성층(22)의 두께(d2)보다 얇게 형성되도록 하는 것이다. 이러한 활성층(12)(22)은 그 중앙부분인 채널 영역(C1)(C2)이 서로 다른 두께를 갖도록 하면 충분하나, 구조 설계의 복잡성으로 인하여 회로부 박막 트랜지스터의 활성층(12)과 화소부 박막 트랜지스터의 활성층(22) 전체의 두께가 서로 다르게 되도록 하였다.
- <45> 한편, 이러한 활성층의 적어도 채널영역의 두께 변화는 각 채널 영역에서의 전류 이동도에 의해 결정되도록 한 것이다. 즉, 상기 회로부 박막 트랜지스터와 화소부 박막 트랜지스터 중 더 큰 전류 이동도값을 필요로 하는 박막 트랜지스터의 활성층의 적어도 채널 영역을 이보

다 작은 전류 이동도값을 필요로 하는 박막 트랜지스터의 활성층의 적어도 채널 영역보다 얇게 형성하는 것이다.

<46> 이는 활성층의 적어도 채널영역의 두께가 얇으면 채널영역에서의 전류이동도가 높아지고, 이에 따라 더욱 우수한 TFT 특성을 얻을 수 있기 때문이다. 따라서, 통상 보다 높은 전류 이동도값을 필요로 하는 박막 트랜지스터의 활성층의 적어도 채널영역의 두께를 얇게 형성하면 보다 우수한 TFT 특성을 얻게 되는 것이다.

<47> 그런데, 일반적으로, 회로부 박막 트랜지스터는 보다 높은 응답특성이 요구되고, 화소부 박막 트랜지스터는 응답특성보다는 보다 높은 균일성이 요구된다.

<48> 이에 따라 본 발명의 바람직한 일 실시예에 따르면, 도 3에서 볼 수 있듯이, 회로부 박막 트랜지스터의 활성층(12)의 적어도 채널 영역의 두께(d1)를 화소부 박막 트랜지스터의 활성층(22)의 적어도 채널 영역의 두께(d2)보다 얇게 형성함으로써 회로부에 높은 응답특성을 갖는 박막 트랜지스터들을 제공할 수 있게 된다. 이러한 효과는 상기 활성층들을 다결정질 실리콘으로 형성할 때 뿐만 아니라 비정질 실리콘으로 형성하는 경우에서도 마찬가지이다.

<49> 한편, 상기 화소부 박막 트랜지스터는 데이터 신호를 전달하기 위한 스위칭 박막 트랜지스터와 발광 소자를 직접 구동하는 구동 박막 트랜지스터로 구비되는 데, 이 중 스위칭 박막 트랜지스터는 스위칭 기능을 수행하게 되므로, 구동 박막 트랜지스터보다 높은 응답특성을 요구하게 되며, 반면에 구동 박막 트랜지스터는 고해상도의 실현 등을 위해 응답특성보다는 높은 균일성을 요구하게 된다.

- <50> 따라서, 본 발명에 있어서, 상기 회로부 박막 트랜지스터의 활성층의 적어도 채널 영역은 상기 화소부 박막 트랜지스터 중 구동 박막 트랜지스터의 활성층의 적어도 채널 영역보다 얇게 형성되도록 하는 것이 바람직하다.
- <51> 한편, 이처럼 회로부 박막 트랜지스터의 활성층(12)과, 화소부 박막 트랜지스터의 활성층(22)의 채널 영역의 두께가 서로 다르게 되도록 함에 따라 비정질 실리콘에서 다결정질 실리콘으로 결정화 시, 그 결정 크기가 다르게 되도록 할 수 있고, 이에 따라 전류 이동도에 있어 차이가 나도록 할 수 있다. 뿐만 아니라, 이러한 결정 크기의 조정을 별도의 공정에 의해 진행할 필요없이, 예컨대, ELA법에 의해 결정화할 경우 두 영역에 걸쳐 동시에 레이저 조사를 하여도 서로 결정 크기가 다른 활성층을 얻도록 할 수 있다.
- <52> 이러한 결정 크기는 상기 회로부 박막 트랜지스터와 화소부 박막 트랜지스터 중 보다 높은 전류 이동도값을 필요로 하는 박막 트랜지스터의 활성층의 적어도 채널 영역의 결정 크기가 크게 되도록 하는 것이 바람직하다. 이는 활성층의 결정 크기가 크면 이에 따라 채널 영역에서의 전류 이동도가 커지기 때문이다.
- <53> 결정립의 크기와 이에 따른 전류 이동도의 차이를 살펴보면, 도 4에서 볼 수 있듯이, 결정립의 크기가 커질수록 전류 이동도가 커져 거의 직선식에 가까운 관계가 됨을 알 수 있다.
- <54> 따라서, 도 2에서 볼 수 있는 바와 같은 본 발명의 바람직한 일 실시예에서는 보다 큰 전류 이동도를 필요로 하는 박막 트랜지스터, 즉, 회로부 박막 트랜지스터의 활성층의 채널 영역의 결정립의 크기가 이보다 작은 전류 이동도를 필요로 하는 박막 트랜지스터, 즉, 화소부 박막 트랜지스터의 활성층의 채널영역의 결정립의 크기보다 크게 형성되도록 한다.

- <55> 한편, 전술한 바와 같이, 스위칭 박막 트랜지스터가 구동 박막 트랜지스터보다 높은 응답특성을 요구하게 되고 구동 박막 트랜지스터는 고해상도의 실현 등을 위해 응답특성보다는 높은 균일성을 요구하게 되므로, 상기 회로부 박막 트랜지스터의 활성층의 적어도 채널 영역은 상기 화소부 박막 트랜지스터 중 구동 박막 트랜지스터의 활성층의 적어도 채널 영역보다 그 결정립의 크기가 크게 형성되도록 하는 것이 바람직하다.
- <56> 이러한 결정립의 크기 차이는 도 3에서 볼 수 있듯이, 각 활성층의 두께를 다르게 함으로써 얻어질 수 있다.
- <57> 즉, 전술한 바와 같이, 회로부 박막 트랜지스터의 활성층(12)의 두께(d_1)를 화소부 박막 트랜지스터의 활성층(22)의 두께(d_2)보다 얇게 형성하면, 그에 따라 보다 얇은 두께의 비정질 실리콘이 받는 레이저의 에너지 밀도가 더 높게 되고, 이에 따라 더 큰 결정립을 얻을 수 있게 되는 것이다. 비정질 실리콘이 받는 레이저의 에너지 밀도에 따른 결정립의 크기는 도 5에 도시된 바와 같은 관계에 의해 결정될 수 있다. 도 5는 500Å의 비정질 실리콘 박막을 ELA법에 의해 결정화함에 있어서, 조사되는 레이저의 에너지 밀도에 따른 결정립 크기의 차이를 나타낸 것이다. 다만, 도 5에서 볼 수 있는 바와 같이, 비정질 실리콘 박막이 지나치게 높은 에너지 밀도의 레이저를 받게 되면 완전히 용융되어 그 결정립의 크기가 오히려 작아질 수 있다. 따라서, 보다 큰 결정립이 요구되는 회로부 박막 트랜지스터의 활성층(12)이 형성될 실리콘 박막을 지나치게 얇게 하지 않도록 하는 것이 바람직하다.
- <58> 본 발명의 바람직한 일 실시예에 의하면, 보다 높은 전류 이동도값을 필요로 하는 박막 트랜지스터의 활성층, 즉, 상기 회로부 박막 트랜지스터의 활성층(12)이 형성될 실리콘 박막의 두께(d_1)는 300 내지 800Å으로 하는 것이 바람직하고, 보다 낮은 전류 이동도값을 필요로 하는 박막 트랜지스터의 활성층, 즉, 상기 화소부 박막 트랜지스터의 활성층(22)이 형성될 실리

콘 박막의 두께(d2)는 500 내지 1500Å으로 하는 것이 바람직하다. 이렇게 실리콘 박막의 두께에 차이가 나도록 하는 방법은 공지의 포토 리소그래피법에 의해 가능한 데, 회로부 박막 트랜지스터의 활성층이 형성될 영역과 화소부 박막 트랜지스터의 활성층이 형성될 영역에 대한 광마스크의 광투과율을 조절함으로써 패터닝되는 비정질 실리콘박막의 두께를 조절하는 것이다.

<59> 본 발명에서는 이렇게 두께 차이를 이용하여 한번의 레이저 조사로 결정립의 크기가 서로 다르게 할 수 있어, 제조공정을 매우 간략하게 할 수 있다.

<60> 한편, 전술한 바와 같은 회로부 박막 트랜지스터 및 화소부 박막 트랜지스터는 도 6 및 도 7에서 볼 수 있는 바와 같은 구조를 가질 수 있다.

<61> 먼저, 도 6에서 볼 수 있는 바와 같이, 글래스(glass)재의 절연기판(1)에 버퍼층(2)이 형성되어 있고, 이 버퍼층(2) 상부에 회로부 박막 트랜지스터(11)가 형성된다. 상기 버퍼층(2)은 SiO₂로 형성할 수 있으며, PECVD법, APCVD법, LPCVD법, ECR법 등에 의해 증착될 수 있다. 그리고, 이 버퍼층(2)은 대략 3000Å 정도로 증착 가능하다.

<62> 상기 회로부 박막 트랜지스터(11)는 도 6에서 볼 수 있는 바와 같이 버퍼층(2)의 상부에 활성층(12)이 형성되어 있고, 그 위로 SiO₂ 등에 의해 게이트 절연막(13)이 형성된다. 이 때, 상기 활성층(12)은 비정질 실리콘 또는 다결정질 실리콘으로 형성될 수 있으며, 그 두께(d1)도 전술한 도3에서 볼 수 있는 바와 같이, 300 내지 800Å이 될 수 있다.

<63> 게이트 절연막(13)의 상부로는 활성층(12)의 채널영역에 대응되는 위치에 게이트 전극(14)이 형성된다. 이 게이트 전극(14)은 MoW이나 Al/Cu 등으로 형성될 수 있다.

<64> 게이트 전극(14)의 상부로는 층간 절연막(15)이 형성되고, 이 층간

절연막(15)에 컨택 홀이 천공되어 P형 또는 N형 불순물이 도핑되어 있는 활성층(12)의 소스 및 드레인 영역에 각각 접속되도록 소스 전극(17) 및 드레인 전극(18)이 형성된 후, 아크릴 등으로 평탄화막(19)이 형성되어 회로부 박막 트랜지스터(11)가 형성된다.

<65> 화소부 박막 트랜지스터는 전술한 바와 같이, 구동 박막 트랜지스터 및 스위칭 박막 트랜지스터로 구비될 수 있는 데, 그 중 구동 박막 트랜지스터는 도 7에서 볼 수 있는 바와 같다.

<66> 도 7에서 볼 수 있는 바와 같은 화소부 박막 트랜지스터(11), 특히 구동 박막 트랜지스터는 전술한 바와 같이, 버퍼층(2) 상부로 활성층(22)이 형성되고, 이 활성층(22) 상부로 게이트 절연막(23), 게이트 전극(24)이 형성된다. 이 때, 활성층(22)의 두께(d2)는 전술한 바와 같이, 500 내지 1500Å이 되도록 하는 것이 바람직하다.

<67> 게이트 전극(24)의 상부로는 제1절연막(25)이 형성되고, 그 위로 IT0에 의해 소정 패턴의 제1전극(31)이 형성된다. 이 제1전극(31)은 발광소자인 유기 EL소자(30)의 애노우드 전극이 될 수 있다.

<68> 제1전극(31)이 형성된 후에는 제2절연막(26)이 형성되고, 컨택 홀이 천공되어 소스 전극(27) 및 드레인 전극(28)이 N형 또는 P형 불순물이 도핑되어 있는 상기 활성층(22)의 소스 및 드레인 영역에 접속되도록 형성되고, 다시, 그 상부로 평탄화막(29)이 형성된다.

<69> 이 평탄화막(29)과 제2절연막(26)은 패터닝되어 제1전극(31)이 노출되도록 하고, 노출된 제1전극(31) 위로 유기 발광층을 포함하는 유기막(32)이 형성된다. 이 유기막(32)의 상부로는 캐소우드 전극이 될 수 있는 제2전극(32)이 형성된다.

<70> 상기 유기막(32)은 저분자 또는 고분자 유기막이 사용될 수 있는 데, 저분자 유기막을 사용할 경우 홀 주입층, 홀 수송층, 유기 발광층, 전자 수송층, 전자 주입층 등이 단일 혹은 복합의 구조로 적층되어 형성될 수 있으며, 사용 가능한 유기 재료도 구리 프탈로시아닌(CuPc: copper phthalocyanine), N,N-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘 (N,N'-Di(naphthalene-1-yl)-N,N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯해 다양하게 적용 가능하다. 이들 저분자 유기막은 진공증착의 방법으로 형성된다.

<71> 고분자 유기막의 경우에는 홀 수송층(HTL) 및 발광층(EML)으로 구비된 구조를 가질 수 있으며, 이 때, 상기 홀 수송층으로 PEDOT를 사용하고, 발광층으로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등 고분자 유기물질을 사용하며, 이를 스크린 인쇄나 잉크젯 인쇄방법으로 형성한다.

<72> 한편, 이처럼 활성층들(12)(22)을 다결정질 실리콘으로 형성할 경우에는 먼저 비정질 실리콘을 형성한 후, 포토 리소그래피법에 의해 회로부 박막 트랜지스터의 활성층과 화소부 박막 트랜지스터의 활성층을 함께 패터닝한다. 이 패터닝 공정 시 광마스크를 투과하는 광량에 차이를 두어 그 두께차가 나도록 할 수 있다. 그리고, 이렇게 두께차가 나도록 한 후에 ELA법에 의한 레이저 조사를 행하여 회로부와 화소부에 있어 에너지 밀도에 차이가 나도록 하고, 이에 따라 그 결정 크기가 달라지도록 할 수 있다.

<73> 이러한 박막 트랜지스터는 이 밖에도 다양한 방법에 의해 형성될 수 있고, 그 구조도 이외에 다양하게 적용 가능함은 물론이다.

<74> 또한, 이상 설명한 것은 본 발명을 유기 전계 발광 표시장치에 적용한 경우이나, 본 발명은 이에 한정되는 것이 아니며, 액정 표시장치나, 무기 전계 발광 표시장치 등 TFT를 이용할 수 있는 어떠한 구조에든 적용될 수 있음은 물론이다.

【발명의 효과】

<75> 상기한 바와 같은 본 발명에 따르면, 다음과 같은 효과를 얻을 수 있다.

<76> 첫째, TFT의 활성층의 크기나, 구동전압을 변경하지 않고 동일 크기의 활성층을 갖고도 회로부 박막 트랜지스터의 특성을 향상시킬 수 있다.

<77> 둘째, 화소부 박막 트랜지스터의 활성층의 균일도를 향상시켜, 고해상도에 적합한 구조를 얻을 수 있다.

<78> 셋째, 활성층의 두께 조정만으로 우수한 응답 특성 및 고해상도를 실현할 수 있다.

<79> 넷째, 다결정질 실리콘 박막의 두께에 차이를 줌으로써 한번의 레이저 조사에 의해 서로 다른 크기의 결정립 구조를 얻을 수 있고, 이에 따라 회로부 박막 트랜지스터와 화소부 박막 트랜지스터의 활성층 채널영역의 전류 이동도값에 차이를 둘 수 있다.

<80> 다섯째, 박막 트랜지스터의 결정구조만으로, 휘도의 균일성을 얻을 수 있고, 수명 열화를 방지할 수 있다.

<81> 여섯째, 화소부 박막 트랜지스터의 길이(L)를 증대시킬 필요가 없어 개구율 감소 문제가 없다.

<82> 일곱째, 화소부 박막 트랜지스터의 폭(W)을 감소시킬 필요가 없어 신뢰성을 향상시킬 수 있다.

<83> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

발광 소자와, 적어도 채널 영역을 포함한 반도체 활성층을 갖는 화소부 박막 트랜지스터를 적어도 하나 이상 구비한 화소 영역; 및

상기 화소 영역에 인가되는 신호를 제어하는 것으로, 적어도 채널 영역을 포함한 반도체 활성층을 갖는 회로부 박막 트랜지스터를 적어도 하나 이상 구비한 회로 영역;을 포함하며,

상기 화소부 박막 트랜지스터와 회로부 박막 트랜지스터의 적어도 채널 영역의 두께가 서로 다른 것을 특징으로 하는 평판 표시장치.

【청구항 2】

제1항에 있어서,

상기 회로부 박막 트랜지스터와 상기 화소부 박막 트랜지스터 중 보다 큰 전류 이동도를 필요로 하는 박막 트랜지스터의 적어도 채널 영역의 두께가 보다 얇게 구비된 것을 특징으로 하는 평판 표시장치.

【청구항 3】

제1항에 있어서,

상기 회로부 박막 트랜지스터의 적어도 채널 영역의 두께는 상기 화소부 박막 트랜지스터의 적어도 채널 영역의 두께보다 얇게 구비된 것을 특징으로 하는 평판표시장치.

【청구항 4】

제1항에 있어서,

상기 회로부 박막 트랜지스터의 적어도 채널 영역의 두께는 상기 화소부 박막 트랜지스터 중 데이터신호에 따라서 상기 발광 소자에 소정의 전류가 흐르도록 해 상기 발광 소자를 구동하는 구동 박막 트랜지스터의 적어도 채널 영역의 두께보다 얇게 구비된 것을 특징으로 하는 평판표시장치.

【청구항 5】

제1항에 있어서,

상기 화소부 박막 트랜지스터와 상기 회로부 박막 트랜지스터 중 보다 큰 전류 이동도를 필요로 하는 박막 트랜지스터의 적어도 채널 영역의 두께는 300 내지 800 Å이고, 상기 회로부 박막 트랜지스터와 상기 화소부 박막 트랜지스터 중 보다 작은 전류 이동도를 필요로 하는 박막 트랜지스터의 적어도 채널 영역의 두께는 500 내지 1500Å인 것을 특징으로 하는 평판 표시장치.

【청구항 6】

제1항에 있어서,

상기 회로부 박막 트랜지스터의 적어도 채널 영역의 두께는 300 내지 800 Å인 것을 특징으로 하는 평판 표시장치.

【청구항 7】

제1항에 있어서,

상기 화소부 박막 트랜지스터의 적어도 채널 영역의 두께는 500 내지 1500Å인 것을 특징으로 하는 평판 표시장치.

【청구항 8】

제1항 내지 제7항 중 어느 한 항에 있어서,

상기 반도체 활성층은 다결정질 실리콘으로 구비되고, 상기 회로부 박막 트랜지스터의 적어도 채널 영역의 결정립의 크기와 상기 화소부 박막 트랜지스터의 적어도 채널 영역의 결정립의 크기가 서로 다르게 구비된 것을 특징으로 하는 평판 표시장치.

【청구항 9】

제8항에 있어서,

상기 회로부 박막 트랜지스터의 채널 영역의 결정립의 크기는 상기 화소부 박막 트랜지스터의 채널 영역의 결정립의 크기보다 큰 것을 특징으로 하는 평판 표시장치.

【청구항 10】

제9항에 있어서,

상기 회로부 박막 트랜지스터의 채널 영역의 결정립의 크기는 상기 화소부 박막 트랜지스터 중 데이터신호에 따라서 상기 발광 소자에 소정의 전류가 흐르도록 해 상기 발광 소자를 구동하는 구동 박막 트랜지스터의 적어도 채널 영역의 결정립의 크기보다 큰 것을 특징으로 하는 평판 표시장치.

【청구항 11】

제8항에 있어서,

상기 다결정질 실리콘은 레이저에 의한 결정화방법에 의해 형성된 것을 특징으로 하는 평판 표시장치.

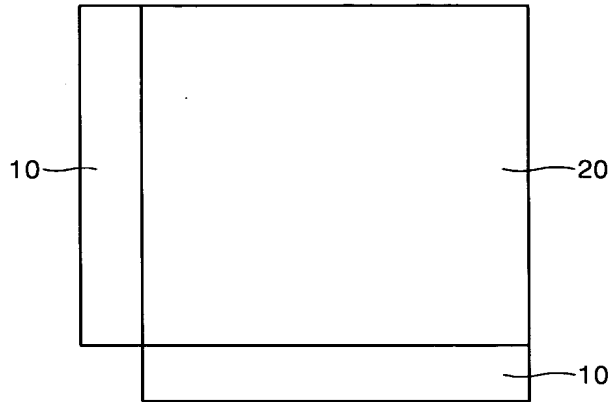
【청구항 12】

제11항에 있어서,

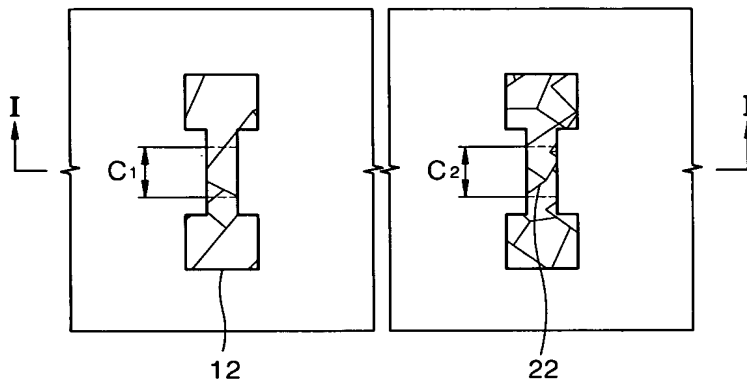
상기 회로부 박막 트랜지스터의 적어도 채널 영역과 상기 화소부 박막 트랜지스터의 적어도 채널 영역은 레이저 조사를 동시에 행함에 따라 형성되도록 한 것을 특징으로 하는 평판 표시장치.

【도면】

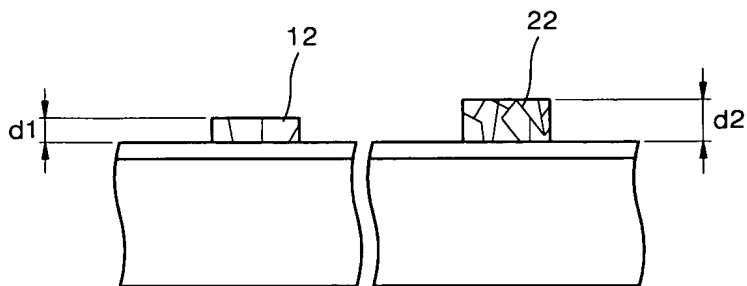
【도 1】



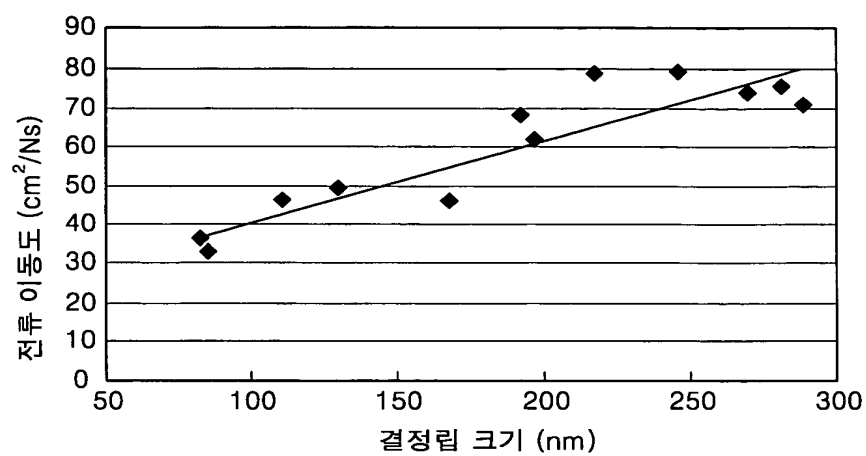
【도 2】



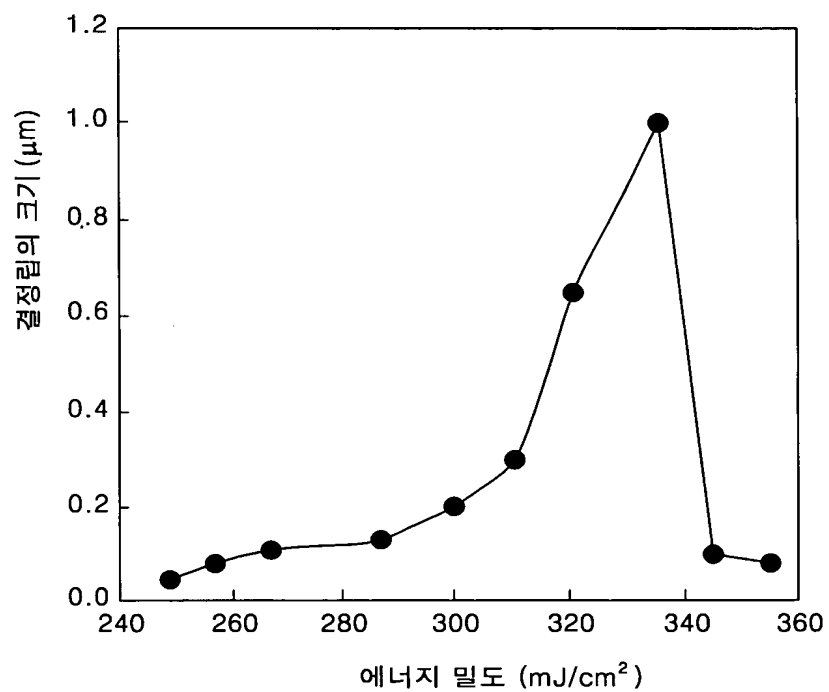
【도 3】



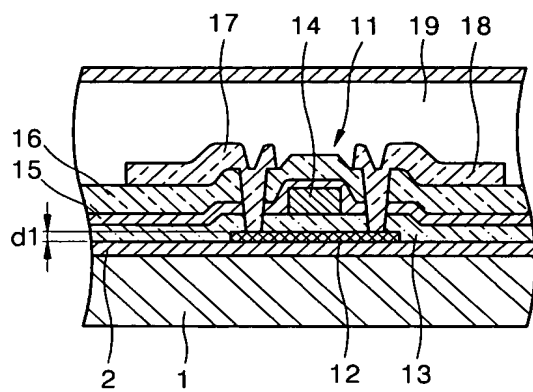
【도 4】



【도 5】



【도 6】



【도 7】

